

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-053286

(43)Date of publication of application : 25.02.1994

(51)Int.Cl. H01L 21/60

(21)Application number : 04-220655

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 28.07.1992

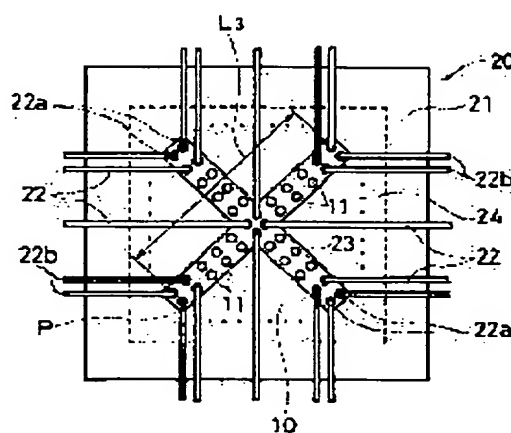
(72)Inventor : EMOTO YOSHIAKI

(54) FILM CARRIER AND TAB TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To simply and effectively conduct an error preventing remedy of a semiconductor chip against a radioactive ray without coating an active element region of the chip with a special shielding film.

CONSTITUTION: Openings 23 are formed at a film base material 21 only at peripheries of inner leads 11a of a film carrier 20 to form a shielding part 24 integral with the material 21 except the openings 23. When electrode terminals 11 of a semiconductor chip 10 are connected to inner leads 22a in the openings 23, an active element region P of the chip 10 is entirely covered with the part 24. An error preventive remedy of the chip 1 against radioactive rays can be conducted by the part 24 sufficiently thicker than the coating corresponding to the region P.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 5 3 2 8 6

(43) 公開日 平成 6 年 (1 9 9 4) 2 月 2 5 日

(51) Int. Cl. ⁵

H01L 21/60

識別記号

311

庁内整理番号

W 6918-4M

F 1

技術表示箇所

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平 4 - 2 2 0 6 5 5
(22) 出願日 平成 4 年 (1 9 9 2) 7 月 2 8 日

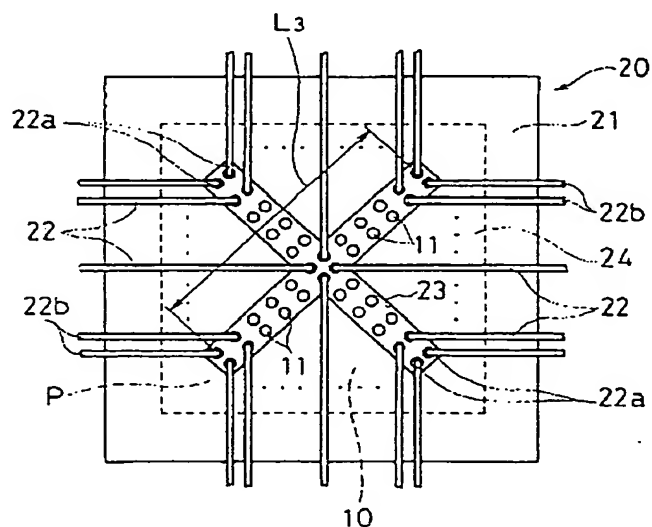
(71) 出願人 0 0 0 0 0 6 6 5 5
新日本製鐵株式会社
東京都千代田区大手町 2 丁目 6 番 3 号
(72) 発明者 江本 義明
東京都千代田区大手町 2 - 6 - 3 新日本
製鐵株式会社内
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 フィルムキャリア及び T A B 方式半導体装置

(57) 【要約】

【目的】 半導体チップの能動素子領域に特別な遮蔽膜を塗布したりすることなく、放射線に対する半導体チップのエラー防止対策を簡単かつ効果的に行うことができるようにする。

【構成】 フィルムキャリア 20 の各インナーリード 22 a の周辺のみにおいてフィルム基材 21 に開孔部 23 を形成し、この開孔部 23 以外をフィルム基材 21 と一体の遮蔽部 24 とする。半導体チップ 10 の各電極端子 11 と各インナーリード 22 a とが開孔部 23 内で接合されると、半導体チップ 10 の能動素子領域 P が遮蔽部 24 によって全面的に覆われる。能動素子領域 P に対応しかつ塗布よりも十分に厚い遮蔽部 24 によって、放射線に対する半導体チップ 10 のエラー防止対策を行うことができる。



【特許請求の範囲】

【請求項 1】 多数の導電性リードを絶縁性フィルム基材上に形成してなるフィルムキャリアであって、多数の半導体回路素子を集積した半導体チップの各回路素子に対する外部接続用の多数の電極端子に接合される前記各リードの一端部の周辺において前記フィルム基材に電極端子接合用の開孔部を形成すると共に、この開孔部以外を前記フィルム基材と一体の遮蔽部によって構成したことを特徴とするフィルムキャリア。

【請求項 2】 多数の半導体回路素子を集積し、これらの回路素子に対する外部接続用の多数の電極端子を有する半導体チップと、多数の導電性リードを絶縁性フィルム基材上に形成してなるフィルムキャリアとからなり、前記半導体チップの各電極端子に接合される前記各リードの一端部の周辺において前記フィルム基材に電極端子接合用の開孔部を形成すると共に、この開孔部以外を前記フィルム基材と一体の遮蔽部によって構成し、前記半導体チップの各電極端子と前記フィルムキャリアの各リードの一端部との接合によって、前記半導体チップの各電極端子の周辺を除く能動素子領域が前記遮蔽部により覆われることを特徴とする T A B 方式半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、フィルムキャリア及びこのフィルムキャリアに半導体チップを搭載した T A B 方式半導体装置に関する。

【 0 0 0 2 】

【従来の技術】 半導体装置の実装化技術のなかで、特に多リード化・小形高密度化の顕著なものとして、T A B (Tape Automated Bonding) 方式が知られている。この T A B 方式は、例えば図 5 及び図 6 に示すように、多数の導電性リード 2 を絶縁性フィルム基材 3 上に形成してなるフィルムキャリア 1 を用い、フィルム基材 3 に形成されたデバイス孔 4 内において各リード 2 の一端部であるインナーリード 2 a を半導体チップ 5 の多数の電極端子 (パンプ) 6 に接合し、各リード 2 の他端部であるアウターリード 2 b を外部回路基板等に接続するようにしたものである。

【 0 0 0 3 】 上記各インナーリード 2 a と各電極端子 6 との接合は、通常、図 6 に示すように、ツール 7 とステージ 8 とを有するボンディング装置によって行われる。即ち、ステージ 8 上に載置された半導体チップ 5 の各電極端子 6 にフィルムキャリア 1 の各インナーリード 2 a がツール 7 の先端面により加熱加圧されて一括ボンディング (ギャングボンディング) される。

【 0 0 0 4 】

【発明が解決しようとする課題】 しかしながら、上述したような従来の T A B 方式半導体装置においては、半導体チップ 5 がフィルムキャリア 1 のデバイス孔 4 内に位

置するので、半導体チップ 5 の上面の能動素子領域 P が全面的に露出した構造となっている。このため、 α 線や宇宙線等の放射線の影響によって、半導体チップ 5 の能動素子領域 P にあるメモリー回路等のエラーが発生する (論理回路でもフリップフロップの反転が宇宙線で起こる) のが問題となっていた。

【 0 0 0 5 】 そこで、放射線に対するエラー防止対策として、半導体チップ 5 の能動素子領域 P を覆うパッシベーションの上に、さらにポリイミド等の遮蔽膜を塗布したりすることが行われている。しかし、十分に厚い遮蔽膜を形成することは困難である上に、特別な塗布工程が必要となって、半導体チップ 5 の製造コストが非常に高くなるという問題があった。

【 0 0 0 6 】 そこで本発明は、半導体チップの能動素子領域に特別な遮蔽膜を塗布したりすることなく、放射線に対する半導体チップのエラー防止対策を簡単かつ効果的に行うことができるフィルムキャリア及び T A B 方式半導体装置を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】 上記目的を達成するために、本発明は、多数の導電性リードを絶縁性フィルム基材上に形成してなるフィルムキャリアであって、多数の半導体回路素子を集積した半導体チップの各回路素子に対する外部接続用の多数の電極端子に接合される前記各リードの一端部の周辺において前記フィルム基材に電極端子接合用の開孔部を形成すると共に、この開孔部以外を前記フィルム基材と一体の遮蔽部によって構成したものである。

【 0 0 0 8 】 また、本発明による T A B 方式半導体装置は、多数の半導体回路素子を集積し、これらの回路素子に対する外部接続用の多数の電極端子を有する半導体チップと、多数の導電性リードを絶縁性フィルム基材上に形成してなるフィルムキャリアとからなり、前記半導体チップの各電極端子に接合される前記各リードの一端部の周辺において前記フィルム基材に電極端子接合用の開孔部を形成すると共に、この開孔部以外を前記フィルム基材と一体の遮蔽部によって構成し、前記半導体チップの各電極端子と前記フィルムキャリアの各リードの一端部との接合によって、前記半導体チップの各電極端子の周辺を除く能動素子領域が前記遮蔽部により覆われるものである。

【 0 0 0 9 】

【作用】 上記のように構成された本発明によれば、半導体チップの各電極端子とフィルムキャリアの各リードの一端部とがフィルム基材の開孔部内で接合され、半導体チップの能動素子領域がフィルム基材と一体の遮蔽部によって全面的に覆われる。これにより、半導体チップの能動素子領域に特別な遮蔽膜を塗布したりすることなく、遮蔽部によって放射線に対する半導体チップのエラー防止対策を行うことができる。そして、遮蔽部はフィ

ルム基材と一体なので、半導体チップの能動素子領域に容易に対応させることができると共に、塗布よりも十分に厚い膜を得ることができる。

【 0 0 1 0 】

【実施例】以下、本発明の実施例を図 1 ～図 4 を参照して説明する。まず、図 1 及び図 2 は本発明を論理 L S I チップを搭載するためのフィルムキャリア及びこのフィルムキャリアを用いた T A B 方式半導体装置に適用した第 1 実施例である。

【 0 0 1 1 】図 1 に示すように、この半導体チップ 1 0 の表面には多数の電極端子 1 1 が設けられているが、これらの電極端子 1 1 はチップ表面の中央から放射状に、特にこの例ではチップ表面の対角線に沿って十字形で二列に配列されている。

【 0 0 1 2 】次に、図 1 及び図 2 に示すように、上記半導体チップ 1 0 が搭載されるフィルムキャリア 2 0 は、ポリイミド樹脂等からなる可撓性かつ絶縁性を有するフィルム基材 2 1 と、このフィルム基材 2 1 上に C u 箔等の導電性金属材料によりパターン形成された多数のリード 2 2 とによって構成されている。フィルム基材 2 1 には電極端子接合用の開孔部 2 3 が設けられている。この開孔部 2 3 は上記半導体チップ 1 0 の電極端子 1 1 の配列に対応するように中央から放射状に、特にこの例では対角線に沿って十字形に形成されている。即ち、このフィルム基材 2 1 には従来例のようなデバイス孔がなく、開孔部 2 3 以外がフィルム基材 2 1 と一体の遮蔽部 2 4 によって構成されている。そして、各リード 2 2 の一端部は開孔部 2 3 内に突出されたインナーリード 2 2 a とになっており、他端部は外方へ直線状に延出されてアウターリード 2 2 b となっている。なお、フィルム基材 2 1 にはアウターリード孔やスプロケット孔等が設けられるが、ここでは図示省略する。

【 0 0 1 3 】そして、図 2 に示すように、半導体チップ 1 0 の各電極端子 1 1 とフィルムキャリア 2 0 の各インナーリード 2 2 a とが、ツール 3 0 とステージ 3 1 とを有するボンディング装置によって一括ボンディングされる。そのツール 3 0 は少なくとも先端面がインナーリード 2 2 a 及び電極端子 1 1 の配列に対応して十字形に形成され、フィルム基材 2 1 の遮蔽部 2 4 を避けた形状となっている。

【 0 0 1 4 】このボンディングによって、半導体チップ 1 0 がフィルムキャリア 2 0 に搭載されると、半導体チップ 1 0 の上面の各電極端子 1 1 の周辺を除く能動素子領域 P が遮蔽部 2 4 により全面的に覆われることになる。

【 0 0 1 5 】上述のように構成された第 1 実施例によれば、フィルムキャリア 2 0 の各インナーリード 2 2 a の周辺のみにおいてフィルム基材 2 1 に開孔部 2 3 が形成され、この開孔部 2 3 以外がフィルム基材 2 1 と一体の遮蔽部 2 4 となっているので、半導体チップ 1 0 の各電

極端子 1 1 とフィルムキャリア 2 0 の各インナーリード 2 2 a とが開孔部 2 3 内で接合されると、半導体チップ 1 0 の能動素子領域 P が遮蔽部 2 4 によって全面的に覆われる。

【 0 0 1 6 】これにより、半導体チップ 1 0 の能動素子領域 P に特別な遮蔽膜を塗布したりすることなく、遮蔽部 2 4 によって α 線や宇宙線等の放射線に対する半導体チップ 1 0 のエラー防止対策を行うことができる。そして、遮蔽部 2 4 はフィルム基材 2 1 と一体なので、半導体チップ 1 0 の能動素子領域 P に容易に対応させることができると共に、塗布よりも十分に厚い膜（最低 7 0 μ m）を得ることができる。

【 0 0 1 7 】ところで、図 5 及び図 6 に示したように、T A B 方式によって実装される従来の一般的な半導体チップ 5 は、その多数の電極端子 6 がチップ表面の外周部に沿って一列状に配列されていた。また、将来技術として、チップ表面の内周部にも複数の電極端子を設置したエリアレイ T A B と呼ばれるものも提案されているが、その電極端子の設置に関し、特定の意図をもった配列構造は提案されていない。

【 0 0 1 8 】しかしながら、多数の電極端子 6 をチップ表面の外周部に沿って一列状に配列した半導体チップ 5 においては、チップサイズの拡大に伴い、最も離れた電極端子 6 間の距離（以下、最長距離という）は拡大され、従来の一括ボンディングが可能な半導体チップ 5 の大きさに関する限界に近づきつつある。

【 0 0 1 9 】これを図 5 及び図 6 に示す一般的な論理 L S I チップで説明すると、半導体チップ 5 の外周四辺に例えば 1 2 0 μ m ピッチで 4 0 0 ピンの電極端子 6 が配列されている場合、半導体チップ 5 の一辺の長さ L₁ = 1 2 mm となる。この場合、電極端子 6 間の最長距離 L₂ は、ほぼ対角線の長さに相当し、 $L_2 = 1.2 \times \sqrt{2} = 1.7$ mm となる。これらの電極端子 6 を一括ボンディングする場合、最長距離 L₂ にある電極端子 6 間の高低差の許容量を最大 5 μ m と考えると、ツール 7 の傾き許容量（角度 θ ）は 0. 0 1 6 ° となる。これは一括ボンディングの際に必要なツール 7 の傾斜調整の限界に近い。

【 0 0 2 0 】このように、半導体チップ 5 のサイズの拡大に伴って電極端子 6 間の最長距離 L₂ が大きくなる程、ツール 7 の傾き許容量（角度 θ ）は厳しくなり、接合不良が生じ易く、歩留りの悪化が問題となる。なお、一括ボンディングに代わり、インナーリード 2 a と電極端子 6 とを一つずつ接合するシングルポイントボンディング法も提案されているが、これは多リードになるほど生産性が悪くなる。

【 0 0 2 1 】また、半導体チップ 5 のサイズが拡大して、電極端子 6 間の最長距離 L₂ が大きくなった場合、ポリイミド等からなるフィルム基材 3 とシリコン等からなる半導体チップ 5 との熱膨張係数の差によって、接合

部分の破断等が生じ易くなり、接合寿命が低下するという問題もある。

【0022】さらに、この種の半導体チップ5においては、電極端子6の数の増加に対する要請が著しい。しかし、リード2をフィルム基材3上で交差させることができない単層配線のフィルムキャリア1に搭載される半導体チップ5において、電極端子6のピッチを同一として配線可能な範囲内で電極端子6の数を増加させると、電極端子6を外周部に一列状に配列する場合には半導体チップ5のサイズを拡大する必要がある。また、半導体チップ5のサイズを変えない場合には電極端子6を外周部に千鳥状に配列する方法が考えられる。しかしながら、半導体チップ5のサイズの拡大には前述の一括ボンディングによる限界があり、電極端子6の千鳥状配列は一括ボンディングが難しい。このため、一括ボンディングが可能な範囲で、電極端子6の数を増加させることができるものが望まれている。

【0023】ところが、図1及び図2に示すように、本実施例においては、半導体チップ10の多数の電極端子11がチップ表面の対角線に沿って二列に配列されているので、電極端子11が従来例と同様に120 μ mピッチで400ピンとすると、電極端子11間の最長距離 L_1 は0.12 \times 100=12mmとなり、従来例における最長距離 L_1 よりも大幅に短縮することができる。

【0024】そして、これらの電極端子11を一括ボンディングする場合、最長距離 L_1 にある電極端子11間の高低差の許容量を従来例と同様に最大5 μ mとすると、ツール30の傾き許容量(角度 θ_1)は0.024 $^\circ$ となる。これにより一括ボンディングの際に必要なツール30の傾斜調整が極めて容易になる。なお、上記傾き許容量(角度 θ_1)は、従来例において一辺が約8.5mmの半導体チップの一括ボンディングに対応する。従って、ボンディングとしては非常に容易になり、確実な接合によって歩留り向上に寄与する。

【0025】なお、電極端子11間の最長距離 L_1 が短縮することによって、ポリイミド等からなるフィルム基材21とシリコン等からなる半導体チップ10との熱膨張係数差の影響が少なくなるので、接合部分の破断等が生じ難くなり、接合寿命も向上する。

【0026】さらに、このような電極端子11の配列構造によれば、電極端子11のピッチが従来例と同一で、電極端子11間の最長距離 L_1 が従来例と同様に17mmまでの一括ボンディングが可能になれば、電極端子11の数を567ピンまで大幅に増加させることができる。

【0027】そして、上述のように、電極端子11間の最長距離 L_1 の短縮化または電極端子11の数の増大が可能でありながら、単層配線のフィルムキャリア20によって、各電極端子11に接合された各リード22を、フィルム基材21上で交差させることなく、外方へはば

直線状に延出させて引出すことができる。

【0028】次に、図3及び図4は本発明をメモリーLSIチップを搭載するためのフィルムキャリア及びこのフィルムキャリアを用いたTAB方式半導体装置に適用した第2実施例である。

【0029】図3に示すように、この半導体チップ40においては、多数の電極端子41がチップ表面の中央から長手方向に沿って二列に配列されている。そして、フィルムキャリア50のフィルム基材51に設けられた開孔部53は、上記半導体チップ40の電極端子41の配列に対応するように中央から長手方向に沿って長方形状に形成されている。この場合も、開孔部53以外がフィルム基材51と一体の遮蔽部54によって構成されている。そして、各リード52の一端部は開孔部53内に突出されたインナーリード52aとなっており、他端部は外方へ直線状に延出されてアウターリード52bとなっている。

【0030】そして、図4に示すように、半導体チップ40の各電極端子41とフィルムキャリア50の各インナーリード52aとが、ツール60とステージ61とを有するボンディング装置によって一括ボンディングされる。そのツール60は少なくとも先端部がインナーリード52a及び電極端子41の配列に対応して長方形状に形成され、フィルム基材51の遮蔽部54を避けた形状となっている。

【0031】この第2実施例においても、半導体チップ40の能動素子領域Pがフィルム基材51と一体の遮蔽部54によって全面的に覆われるので、第1実施例と同様に、放射線に対する半導体チップ40のエラー防止対策を簡単かつ効果的に行うことができる。

【0032】なお、本実施例においても、電極端子41をチップ表面の外周部に沿って一列状に配列したものに比較して、電極端子41間の最長距離 L_1 を大幅に短縮することができる。従って、第1実施例と同様に、一括ボンディングの際の歩留り向上及び接合寿命の向上を図ることができ、また、電極端子41の数の大幅な増加も可能になる。

【0033】以上、本発明の実施例に付き説明したが、本発明は上記実施例に限定されることなく、本発明の技術的思想に基づいて各種の有効な変更並びに応用が可能である。例えば、実施例では半導体チップの各電極端子の配列に対応させて開孔部を対角線或いは長手方向に沿って形成したが、従来のように半導体チップの各電極端子が外周部に一列状に配列されている場合には、開孔部の内側にフィルム基材と一体の遮蔽部を設けることができる。

【0034】

【発明の効果】以上説明したように、本発明によれば、半導体チップの各電極端子に接合される各リードの一端部の周辺においてフィルム基材に電極端子接合用の開孔

7

部を形成すると共に、この開孔部以外を前記フィルム基材と一体の遮蔽部とすることによって、半導体チップをフィルムキャリアに搭載すると、半導体チップの能動素子領域を遮蔽部によって全面的に覆うことができる。従って、半導体チップの能動素子領域に特別な遮蔽膜を塗布したりすることなく、遮蔽部によって放射線に対する半導体チップのエラー防止対策を簡単かつ効果的に行うことができる。そして、遮蔽部はフィルム基材と一体なので、半導体チップの能動素子領域に容易に対応させることができると共に、塗布よりも十分に厚い膜を得ることができ、放射線に対する完全な遮蔽効果を低コストで実現することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施例における半導体チップ及びフィルムキャリアの平面図である。

【図 2】 第 1 実施例におけるボンディング時の断面図である。

【図 3】 本発明の第 2 実施例における半導体チップ及び

8

フィルムキャリアの平面図である。

【図 4】 第 2 実施例におけるボンディング時の断面図である。

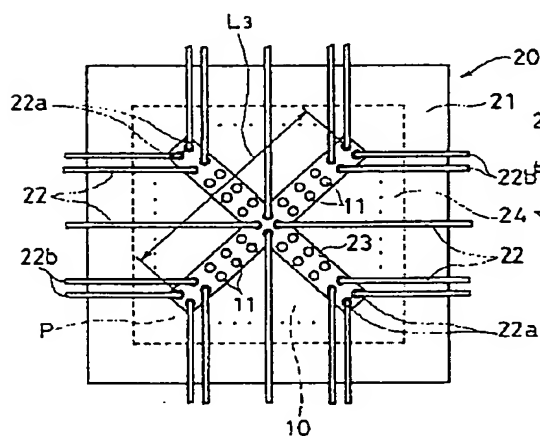
【図 5】 従来例における半導体チップ及びフィルムキャリアの平面図である。

【図 6】 従来例におけるボンディング時の断面図である。

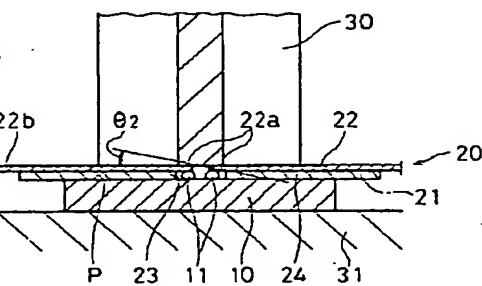
【符号の説明】

- 10 半導体チップ
- 11 電極端子
- 20 フィルムキャリア
- 21 フィルム基材
- 22 リード
- 22 a インナーリード
- 22 b アウターリード
- 23 開孔部
- 30 ツール
- 31 ステージ

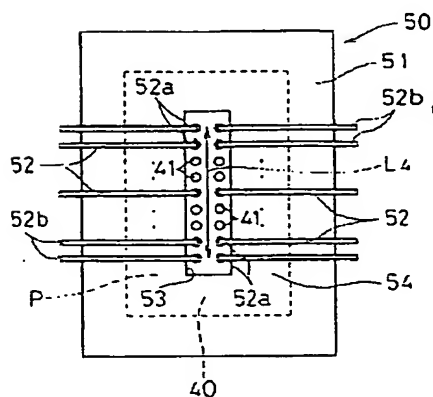
【図 1】



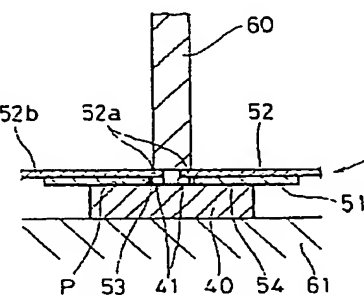
【図 2】



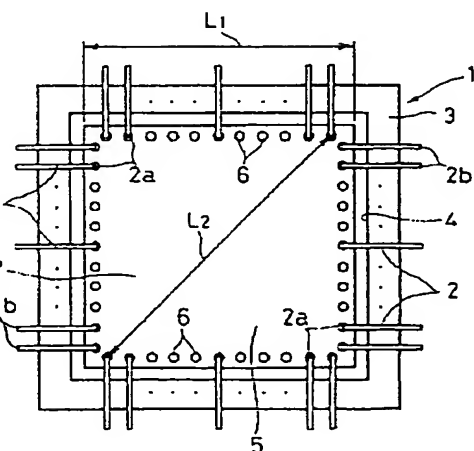
【図 3】



【図 4】



【図 5】



【 図 6 】

